

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-152016

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

H03K	5/00
H03K	5/01
H04N	1/028

(21)Application number : 2000-345292

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 13.11.2000

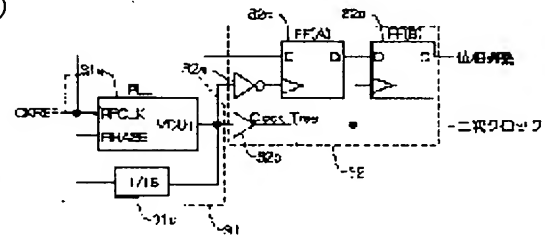
(72)Inventor : KONO KEISHIN

(54) CIRCUIT WITH CLOCK-UP FUNCTION AND IMAGE READER USING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit with a clock-up function that activates circuits synchronously with each other at a high-speed while suppressing emission of an electromagnetic induction noise.

SOLUTION: A multiplier circuit 31 and a phase adjustment circuit 32 use a primary clock signal (CKREF) with a lower frequency to generate a secondary clock signal with a high frequency and a phase adjustment signal so as to select a lower frequency of the clock signal transmitted through the signal path between the circuits and activates the circuits at a high-speed while suppressing emission of an electromagnetic induction noise.



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2002-152016
(P2002-152016A)

(43) 公開日 平成14年 5 月24日 (2002. 5. 24)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)		
H 0 3 K	5/00	H 0 4 N	1/028	A	5 C 0 5 1
	5/01	H 0 3 K	5/00	M	5 J 0 3 9
H 0 4 N	1/028		5/01	Z	

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2000-345292(P2000-345292)

(22) 出願日 平成12年11月13日 (2000. 11. 13)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 河野 敬信

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

(74) 代理人 100093779

弁理士 服部 雅紀

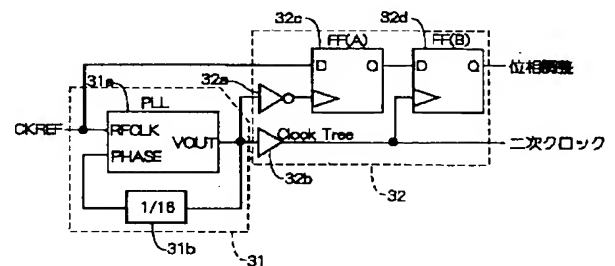
F ターム (参考) 5C051 AA01 BA03 DB04 DB07 DC03
DE01 DE13 EA00
5J039 AC01 AC14 KK09 KK10 KK13
KK27 KK28 MM03

(54) 【発明の名称】 クロックアップ機能付き回路及びそれを用いた画像読み取り装置

(57) 【要約】

【課題】 電磁誘導ノイズの発散を抑制しつつ複数の回路を同期して高速作動させるためのクロックアップ機能付き回路を提供する。

【解決手段】 通倍回路 3 1 及び位相調整回路 3 2 により、周波数の低い一次クロック信号 (C K R E F) から周波数の高い二次クロック信号と位相調整信号とを生成することにより、回路間の信号経路で伝送されるクロック信号の周波数を低く抑え、電磁誘導ノイズの発散を抑制しつつ複数の回路を同期して高速作動させる。



【特許請求の範囲】

【請求項1】 外部回路から入力される一次クロック信号から前記一次クロック信号より周波数が高い二次クロック信号を生成するクロックアップ手段と、前記一次クロック信号と周波数が等しく前記二次クロック信号に同期した位相調整信号を生成する位相調整手段と、を備えることを特徴とするクロックアップ機能付き回路。

【請求項2】 前記クロックアップ手段は、前記一次クロック信号を逡倍して逡倍信号を出力する手段と、前記逡倍信号を逡延させて前記二次クロック信号を出力する手段とを有し、

前記位相調整手段は、前記逡倍信号を反転させて取り込み信号を出力する手段と、前記取り込み信号の立ち上がりにより前記一次クロック信号を取り込んで位相調整基礎信号を出力する手段と、前記二次クロック信号の立ち上がりにより前記位相調整基礎信号を取り込んで前記位相調整信号を出力する手段とを有することを特徴とする請求項1記載のクロックアップ機能付き回路。

【請求項3】 原稿の光学的濃淡情報に対応する画像アナログ信号を生成する画像入力手段と、前記画像入力手段により入力された画像アナログ信号を画像デジタル信号に変換するA/D変換器と、一次クロック信号を生成し、前記A/D変換器から出力される画像デジタル信号に基づいて画像処理する画像処理部と、前記一次クロック信号から前記一次クロック信号より周波数が高い二次クロック信号を生成するクロックアップ手段、前記一次クロック信号と周波数が等しく前記二次クロック信号に同期した位相調整信号を生成する位相調整手段、並びに前記二次クロック信号及び前記位相調整信号から制御信号を生成し前記制御信号により前記画像入力手段を制御する制御手段を有する制御部と、前記画像処理部と前記制御部とを電氣的に接続し前記一次クロック信号を伝送する配線手段と、を備えることを特徴とする画像読み取り装置。

【請求項4】 前記クロックアップ手段は、前記一次クロック信号を逡倍して逡倍信号を出力する手段と、前記逡倍信号を逡延させて前記二次クロック信号を出力する手段とを有し、前記位相調整手段は、前記逡倍信号を反転させて取り込み信号を出力する手段と、前記取り込み信号の立ち上がりにより前記一次クロック信号を取り込んで位相調整基礎信号を出力する手段と、前記二次クロック信号の立ち上がりにより前記位相調整基礎信号を取り込んで前記位相調整信号を出力する手段とを有することを特徴とする請求項3記載の画像読み取り装置。

【請求項5】 前記画像入力手段及び前記制御部は、原稿面に対して平行に往復移動するキャリッジに設けら

れ、前記画像処理部は前記キャリッジを往復移動自在に支持するケースに設けられていることを特徴とする請求項3又は4記載の画像読み取り装置。

【請求項6】 前記A/D変換器は前記キャリッジに設けられ、前記制御部は前記制御信号により前記A/D変換器を制御し、前記配線手段は前記A/D変換器と前記画像処理部とを電氣的に接続し、前記画像デジタル信号を伝送することを特徴とする請求項5記載の画像読み取り装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、外部回路から入力されるクロック信号より高い周波数のクロック信号に基づいて外部回路と同期して作動する回路及びそれらの回路を備えた画像読み取り装置に関する。

【0002】

【従来の技術】電子計算機及びその周辺機器の実装方式においてはEMI (ElectroMagneticInterference) が高速化の障壁となっている。

【0003】フラットベッド型スキャナを例に挙げて説明すると、原稿面に対して平行移動するキャリッジに固定された回路とキャリッジを支持するケースに固定された回路とを電氣的に接続するフレキシブルフラットケーブル（以下FFCという。）は数十cmの長さになるところ、電磁誘導ノイズの発散を抑制するため、このFFCに周波数の高いクロック信号から生成されパルスの立ち上がり及び立ち下がり急峻な制御信号を伝送することができず、高いクロック周波数でCCD等を作動させることができなかった。

【0004】

【発明が解決しようとする課題】また、複数のASICを同期して作動させるためには、クロック信号及び位相調整信号をASIC間で伝送しなければならないところ、ASIC間で伝送されるクロック信号に起因するEMIが障壁となって、これら複数のASICのクロック周波数を上げることが困難な場合がある。

【0005】本発明はこのような問題に鑑みて創作されたものであって、電磁誘導ノイズの発散を抑制しつつ複数の回路を同期して高速作動させるためのクロックアップ機能付き回路を提供することを目的とする。また、本発明は、電磁誘導ノイズの発散を抑制しつつ画像読み取り装置を高速作動させることを目的とする。

【0006】

【課題を解決するための手段】請求項1に係る発明によると、外部回路から入力される一次クロック信号から一次クロック信号より周波数が高い二次クロック信号を生成するクロックアップ手段と、一次クロック信号と周波数が等しく二次クロック信号に同期した位相調整信号を

生成する位相調整手段と、を備える。互いに接続された2つの回路において、回路間の信号経路では周波数の低いクロック信号を伝送し、双方の回路内で周波数の低いクロック信号を逡倍して周波数の高いクロック信号を生成し、周波数の高いクロック信号に基づいて双方の回路を作動させようとする、逡倍回路等に起因するジッタにより回路間の同期を保証できない。請求項1に係る発明によると、クロックアップ手段により回路内部でクロック信号の周波数を上げ、位相調整手段により2つの回路間を伝送されるクロック信号と周波数が等しく、かつ、回路内部で生成された周波数の高いクロック信号と同期した位相調整信号を生成するため、すなわち、周波数の低い1つのクロック信号から周波数の高いクロック信号と位相調整信号とを生成するため、回路間の信号経路で伝送されるクロック信号の周波数を低く抑え、電磁誘導ノイズの発散を抑制しつつ複数の回路を同期して高速作動させることができる。

【0007】一次クロック信号を逡倍して逡倍信号を出力すると、PLL (Phase Locked Loop) 回路等のジッタにより一次クロック信号と逡倍信号との同期が保証されない。したがって、逡倍信号をクロックとするフリップフロップ回路で一次クロック信号を位相調整用信号として取り込もうとした場合、クロックとしての逡倍信号の位相が変化するため、一次クロック信号を2つの回路間の同期を確保するための基礎信号として用いることができない。そこで、請求項2及び4に係る発明によると、逡倍信号を遅延させたものを回路内部のクロック信号としての二次クロック信号とし、逡倍信号を反転させた取り込み信号の立ち上がりにより一次クロック信号を取り込んで位相調整基礎信号を出力し、二次クロック信号の立ち上がりにより位相調整基礎信号を取り込むことにより二次クロック信号との同期が保証された位相調整信号を出力することができる。但し、ジッタ成分はクロック周期及び回路遅延より十分小さいものとする。

【0008】請求項3に係る発明によると、画像処理部と制御部とを接続する配線手段には周波数の低い一次クロック信号を伝送し、制御部において、周波数の高い二次クロック信号と、制御部と画像処理部とを同期して作動させるための位相調整信号とを一次クロック信号から生成することにより、配線手段が伝送するクロック信号の周波数を低く抑えつつ画像処理部と同期させて制御部を高速作動させることができるため、電磁誘導ノイズの発散を抑制しつつ画像読み取り装置を高速作動させることができる。

【0009】請求項5に係る発明によると、原稿面に対して平行に往復移動するキャリッジに画像入力手段及び制御部を設け、キャリッジを往復移動自在に支持するケースに画像処理部を設けることにより、体格の大きな画像処理部を容易に実装することができる。

【0010】請求項6に係る発明によると、キャリッジ

にA/D変換器を設け、制御部によりA/D変換器を制御することにより、A/D変換器を制御するための信号に起因するEMIを低減し、A/D変換器と画像処理部とを配線手段により接続することで、画像アナログ信号を伝送する距離を短くでき、これにより、画像情報を伝送する信号に混入するノイズを低減することができる。

【0011】

【発明の実施の形態】以下、本発明の一実施例について図面に基いて説明する。本発明の一実施例に係る画像読み取り装置としてのスキャナを図2に示す。本実施例に示すスキャナは、原稿面に対して平行に往復移動するキャリッジ20を備えるフラットベッド型である。

【0012】箱型のケース11の上面には、原稿台ガラス10が設けられている。原稿台ガラス10の周囲には、原稿を位置決めする図示しない原稿ガイドが設けられている。原稿台ガラス10の端部には、高反射率の均一反射面を有する図示しない白基準が設けられている。

【0013】キャリッジ20はケース11に固定された図示しないガイドロッドに往復移動自在に支持されている。キャリッジ20に図示しない駆動ベルトが固定され、駆動ベルトは図示しない駆動装置により回転する。ランプ21はキャリッジ20に内蔵され、棒状の蛍光管ランプ等から構成され、原稿台ガラス10に載せられる原稿を照射する。画像入力手段としての光学系30は複数のミラー及びレンズにより構成され、原稿面からCCDラインセンサ22に至る光路を形成している。

【0014】画像入力手段としてのCCDラインセンサ22は、各受光素子が受光した光の光量に応じた量の電荷を蓄積し、蓄積した電荷を制御部24により入力されるシフトパルス等の制御信号に応じて増幅器28に出力する。CCDラインセンサ22としてカラー出力するCCDを用いることも可能である。CCDラインセンサ22は、主走査方向に配列された多数の光電変換素子、転送ゲート、アナログシフトレジスタ、電荷電圧変換部等から構成される。光電変換素子に蓄積された電荷は、転送ゲートに入力されるシフトパルスによりアナログシフトレジスタへ転送される。シフトパルス間隔を変更することにより、光電変換素子に電荷を蓄積する時間を変更することができる。光電変換素子からアナログシフトレジスタへの電荷の転送は、全光電変換素子について同時に行われる。アナログシフトレジスタに転送された電荷は、二次クロック信号により順次、電荷電圧変換部に転送され、電圧に変換される。この電圧はアナログ画像信号として増幅器28に入力される。シフトパルス間隔すなわち光電変換素子の電荷蓄積時間はマイクロコンピュータ44に組み込まれたコンピュータプログラムによって制御される。

【0015】増幅器28はCCDラインセンサ22により入力されるアナログ画像信号を増幅してA/D変換器25に出力する。A/D変換器25は増幅器28により

10

20

30

40

50

入力されたアナログ画像信号をサンプリングして256階調のデジタル画像信号を出力する。A/D変換器25は、制御部24から入力されるサンプリングパルスを用いてアナログ画像信号をサンプリングする。

【0016】制御部24は、通倍回路31、位相調整回路32、制御信号生成回路33等から構成され、6MHzの一次クロック信号から96MHzの二次クロック信号を生成し、この二次クロック信号からシフトパルス、リセットパルス、サンプリングパルス等の制御信号を生成し、CCDラインセンサ22及びA/D変換器25にこれらの制御信号を出力する。CCDラインセンサ22及びA/D変換器25は画像処理ASIC45と同期して作動しなければならない。このため、画像処理ASIC45から送信される一次クロック信号と同じ周波数であって、かつ、制御信号の基礎となる二次クロック信号の16周期ごとに正確に立ち上がる位相調整信号が必要となる。

【0017】このような制御信号及び位相調整信号を生成するクロックアップ機能付き回路の一例として通倍回路31及び位相調整回路32を図1に示し、これらの回路内部の信号のタイミングチャートを図3に示す。通倍回路31は、制御部24に入力される6MHzの一次クロック信号を16通倍することにより通倍信号を生成する。通倍回路31はPLL回路31a及び分周期回路31bにより構成され、一次クロック信号と立ち上がりのタイミングがほぼ等しい96MHzの通倍信号を生成する。尚、一次クロック信号とPHASEの位相はほぼ一致し、PLL回路31aによるジッタ成分はクロック周期及びレイアウト遅延と比べて十分小さいものとする。ただし、図3に示すように分周期回路31bによるジッタにより一次クロック信号と通倍信号との立ち上がりのタイミングには若干のずれが生ずる。このため、本実施例では、通倍信号を遅延させた信号を二次クロック信号とし、この二次クロック信号の16周期ごとに正確に立ち上がる位相調整信号を一次クロック信号から別途生成することとしている。尚、二次クロック信号の周波数は96MHzに限られず、CCDラインセンサ22及びA/D変換器25の性能に応じて決めればよい。二次クロック信号の周波数が高ければ高いほどパルス幅の短い制御信号を生成することができ、制御信号のパルス幅が短ければ短いほどCCDラインセンサ22及びA/D変換器25を高速動作させることができる。

【0018】位相調整回路32は、NOT回路32a、遅延回路32b、フリップフロップ回路32c、32dから構成され、制御部24に入力される一次クロック信号と通倍回路31により生成された通倍信号とから二次クロック信号及び位相調整信号を生成する。NOT回路32aは通倍回路31から出力される通倍信号を反転させることにより取り込み信号を生成する。NOT回路の内部抵抗により取り込み信号は通倍信号から若干遅れ

る。NOT回路により通倍信号を反転させるのは、一次クロック信号の立ち上がり後のタイミングに通倍信号の立ち下がり後のタイミング、すなわち、取り込み信号の立ち上がり後のタイミングを合わせることができるからである。フリップフロップ回路32cは取り込み信号で一次クロック信号を取り込むことにより位相調整基礎信号を生成する。遅延回路32bはクロックバッファである。遅延回路32bで通倍信号が遅延することにより二次クロック信号が生成される。尚、二次クロック信号の遅延は通倍信号の1周期以内でなければならない。

【0019】フリップフロップ回路32dは二次クロック信号で位相調整基礎信号を取り込むことにより位相調整信号を生成する。位相調整基礎信号は、通倍信号を反転させた取り込み信号と同じタイミングで立ち上がるため、通倍信号からの遅延が1周期内である二次クロック信号の特定周期内での立ち上がり保証されている。ここでいう特定周期内とは、一次クロック信号の立ち上がり後に最初に二次クロック信号が立ち上がってから次に立ち上がるまでの周期をいう。二次クロック信号の特定周期内での立ち上がり保証されている位相調整基礎信号を二次クロック信号で取り込むことにより位相調整信号が生成されるため、二次クロック信号の16周期ごとに位相調整信号が立ち上がることが保証される。したがって、位相調整信号により図4に示すような制御部24と画像処理ASIC45との同期が保証されることとなる。

【0020】制御信号生成回路33は、二次クロック信号及び位相調整信号に基づいてCCDラインセンサ22及びA/D変換器25が必要とする所定の制御信号を生成する。制御部24が生成するこれらの制御信号は、5本の信号線23によりCCDラインセンサ22に伝送され、4本の信号線26によりA/D変換器25に伝送される。CCDラインセンサ22及びA/D変換器25は、一次クロック信号より周波数の高い二次クロック信号から生成された制御信号により動作するため高速動作が可能である。

【0021】配線手段としてのFFC40には8bit幅のデータ線、クロック信号線等が備えられている。データ線は、A/D変換器25から出力される8bitのデジタル画像信号を画像処理ASIC45に伝送する。CCDラインセンサ22がカラー出力である場合、R (Red) G (Green) B (Blue) の各画像信号は時分割で画像処理ASIC45に伝送される。クロック信号線は画像処理ASIC45が生成する一次クロック信号を制御部24に伝送する。FFC40の両端部はキャリッジ20に設けられた図示しないコネクタとメイン基板41に設けられた図示しないコネクタとに接続されている。キャリッジ20が原稿台ガラス10に平行に30cm程度の距離を往復移動できるようにFFC40には十分なたるみを持たせている。メイン基板41はケース11に

10

20

30

40

50

固定されている。メイン基板 41 にはバス 42 で互いに接続された画像処理 A S I C 45、インタフェース部 43、マイクロコンピュータ 44 等が搭載されている。

【0022】画像処理部としての画像処理 A S I C 45 は、読取り開始前に白基準を読取って取得する白基準データと、あらかじめ記憶しておいた黒基準データとを比較して C C D ラインセンサ 22 の素子毎の感度のばらつきやランプ 21 の主走査方向の光量のばらつきを補正し、ガンマ補正、色補正等の諸変換を行う。また、画像処理 A S I C 45 はクロック生成回路 46 を有し、クロック生成回路 46 により 6 M H z の一次クロック信号及び 96 M H z の内部クロック信号を生成する。図 4 に示すように、画像処理 A S I C 45 の内部クロック信号と制御部 24 の二次クロック信号とは、制御部 24 で生成される位相調整信号により同期が保証されたものである。

【0023】インタフェース部 43 は図示しないホストコンピュータとスキャナとを接続するためのインタフェースを構成する。マイクロコンピュータ 44 は、C P U、R A M および R O M 等を備え、画像処理 A S I C 45、インタフェース部 43、制御部 24 等のスキャナ全体を制御する。以上、本発明の一実施例に係るスキャナの構成を説明した。以下、このスキャナの作動を説明する。マイクロコンピュータ 44 はホストコンピュータから読取り開始コマンドを受信すると所定のプログラムの実行によりスキャナを以下のように作動させる。

【0024】マイクロコンピュータ 44 の制御のもと、ランプ 21 が点灯し、白基準データを取得した後、図示しない駆動装置によりキャリッジ 20 が読取り原点に対応した位置に移動する。原稿台ガラス 10 に載せられた原稿が光学系 30 により C C D ラインセンサ 22 に結像される。制御部 24 は、画像処理 A S I C 45 が出力する 6 M H z の一次クロック信号から 96 M H z の二次クロック信号を生成し、この二次クロック信号に基づいてシフトパルス等の制御信号を生成し、これらの制御信号に基づいて C C D ラインセンサ 22 を制御する。C C D ラインセンサ 22 からシフトパルスに同期したタイミングで電荷が取り出され、取り出された電荷がアナログ画像信号として増幅器 28 に入力される。C C D ラインセンサ 22 は 1 ラインごとに電荷を放出し、C C D ラインセンサ 22 が 1 ライン分の電荷を放出すると駆動装置は次の読取りラインにキャリッジ 20 を移動させる。増幅器 28 で増幅されたアナログ画像信号は A / D 変換器 25 で制御部 24 により入力されるサンプリングパルスに基づいてサンプリングされ 8 ビットのデジタル画像信号に変換される。図 5 に示すように、A / D 変換器 25 は 1 つのアナログ出力波形の 2 点を 96 M H z の二次クロック信号から生成されたサンプリングパルスを用いてサンプリングし、その電位差を 8 ビットのデジタル画像信号として出力する。サンプリングパルスのパルス幅

が短ければ短いほど短い周期で C C D ラインセンサ 22 から出力されるアナログ画像信号をサンプリングすることができる。デジタル画像信号は F F C 40 を通じて画像処理 A S I C 45 に伝送され、画像処理 A S I C 45 によるシェーディング補正、ガンマ補正等が施されて生成された画像データがインタフェース部 43 を通じてホストコンピュータに出力される。

【0025】以上の作動において F F C 40 及びキャリッジ 20 内部では次のような信号の伝送が行われる。F F C 40 は 6 M H z の一次クロック信号とデジタル画像信号を伝送する。制御部 24 と A / D 変換器 25 とを接続する信号線 26 は 96 M H z の二次クロック信号から生成されたサンプリングパルス等を伝送する。制御部 24 と C C D ラインセンサ 22 とを接続する信号線 23 は 96 M H z の二次クロック信号から生成されたシフトパルス、リセットパルス等を伝送する。C C D ラインセンサ 22 と A / D 変換器 25 とを接続する信号線 27、29 はアナログ画像信号を伝送する。

【0026】信号線 27、29 は F F C 40 に比べて信号の伝送経路が短いため、F F C 40 に比べてノイズの混入が小さく信号波形の劣化が小さい。したがって、C C D ラインセンサ 22 が出力するアナログ画像信号は正確にデジタル画像信号に変換される。また、信号線 23、26 は、F F C 40 に比べて信号の伝送経路が短いため、パルス幅が小さくパルスの立ち上がり及び立ち下がりが急峻な制御信号を伝送するときに F F C 40 に比べて E M I ノイズを発生させにくい。また、E M I ノイズを発生させにくいと、周波数が高くパルスの立ち上がり及び立ち下がりが急峻な制御信号を用いて C C D 22 及び A / D 変換器 25 を制御することができる。

【0027】すなわち、本実施例では、F F C 40 により低周波数の一次クロック信号を伝送し、一次クロック信号から高周波数の二次クロック信号及び位相調整信号を生成し二次クロック信号及び位相調整信号から生成される制御信号により C C D ラインセンサ 22 及び A / D 変換器 25 を制御することにより、C C D ラインセンサ 22、A / D 変換器 25 及び画像処理 A S I C 45 を同期して作動させつつ、E M I ノイズを低減し読取り速度を上げることができる。また、本実施例に係るスキャナによると、ケース 11 に固定されるメイン基板 41 に画像処理 A S I C 45 を設けることにより、体格の大きな画像処理 A S I C 45 を実装することができる。

【0028】尚、上記実施例では位相調整基礎信号のタイミングを正確に制御するため、通倍信号を反転させた取り込み信号により一次クロック信号を取り込んで位相調整基礎信号を生成したが、例えば図 6 に示す遅延回路を用いて一次クロック信号を確実に一定量遅延させ、その遅延させた信号を通倍信号により取り込んで位相調整基礎信号を生成する構成としてもよい。

【0029】（比較例）図 7 に上記実施例の比較例とし

10

20

30

40

50

て従来のスキャナを示す。図7において上記実施例に係るスキャナと実質的に同一の部分には同一の符号を付して示す。画像処理ASIC52はCCDラインセンサ22及びA/D変換器25を制御する制御信号を出力する制御回路51を有する。制御回路51が出力する制御信号はFFC53を通じてCCDラインセンサ22及びA/D変換器25に伝送される。

【0030】図7に示す従来のスキャナによると、CCDラインセンサ22及びA/D変換器25の制御信号がメイン基板側で生成されるため、CCDラインセンサ22及びA/D変換器25の動作周波数を上げて高速化を図ろうとすると、FFC53が伝送する制御信号は周波数が高くパルス幅が短くなりパルスの立ち上がり及び立ち下がりが急峻となる。また、CCDラインセンサ22及びA/D変換器25の制御信号をメイン基板側で生成し、FFC53がこれらの制御信号を全て長距離伝送するため、スキャナの動作周波数を上げるためにはFFC53にEMI対策を十分に施さなければならない。CCDラインセンサ22のリセットパルスのパルス幅は他の制御信号のパルス幅に比べて短いため、このリセットパルスに対するEMI対策が特に必要となる。しかし、EMI対策の不可避免的な副作用として信号波形の劣化及びタイミングの遅れがあるため、あまりに短いパルスの伝送は困難であり、従来のスキャナには高速化におのずと限界がある。

【図面の簡単な説明】

【図1】本発明の一実施例によるスキャナの通倍回路及び位相調整回路を示す回路図である。

【図2】本発明の一実施例によるスキャナを示す模式図である。

【図3】本発明の一実施例によるスキャナに係る通倍回路*

* 路及び位相調整回路の信号のタイミングチャートである。

【図4】本発明の一実施例によるスキャナに係る画像処理ASIC及び制御部の信号のタイミングチャートである。

【図5】本発明の一実施例によるスキャナに係るA/D変換を説明するためのタイミングチャートである。

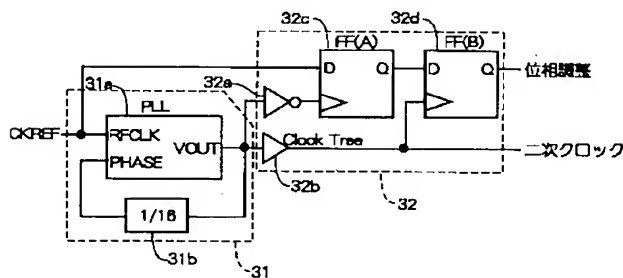
【図6】本発明の一実施例によるスキャナに係る通倍回路及び位相調整回路の変形例を示す回路図である。

10 【図7】比較例に係るスキャナを示す模式図である。

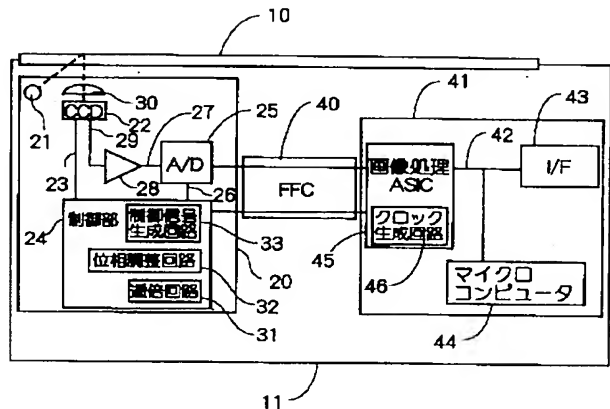
【符号の説明】

- 10 原稿台ガラス
- 11 ケース
- 20 キャリッジ
- 21 ランプ
- 22 ラインセンサ
- 24 制御部
- 25 A/D変換器
- 30 光学系
- 20 31 通倍回路
- 31a PLL回路
- 31b 分周期回路
- 32 位相調整回路
- 32a NOT回路
- 32b 遅延回路
- 32c、32d フリップフロップ回路
- 33 制御信号生成回路
- 41 メイン基板
- 46 クロック生成回路
- 30 45 画像処理ASIC

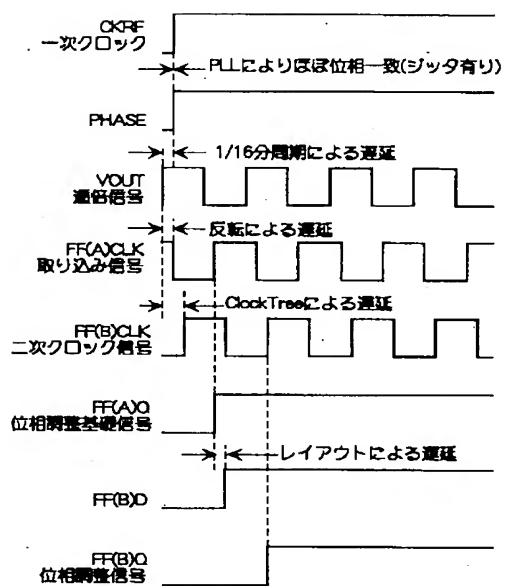
【図1】



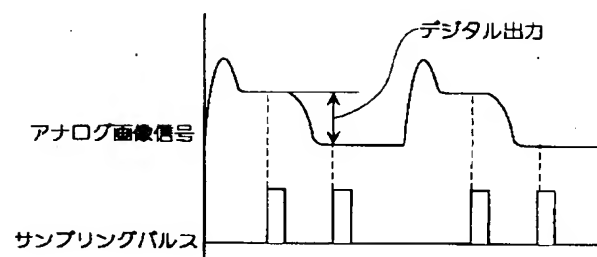
【図2】



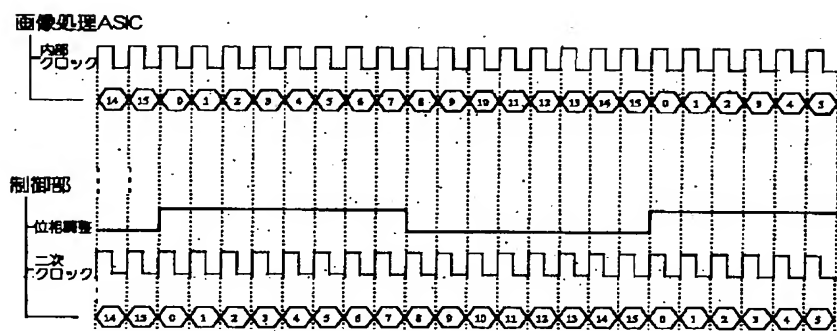
【図3】



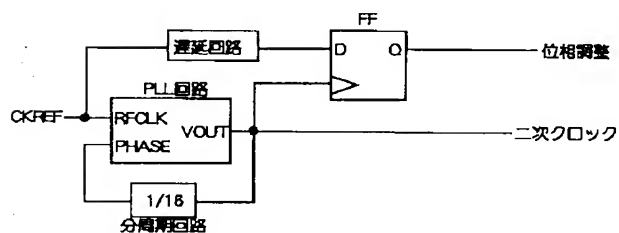
【図5】



【図4】



【図6】



【図7】

(比較例)

